

2024 International Solid-State Circuits Conference

(ISSCC) Review

서울시립대학교 첨단융합학부 서민재 교수

Topic : Data Converter

이번 ISSCC 2024의 Session 22는 High-Speed Analog-to-Digital Converters라는 주제로 총 5편의 논문이 발표되었다. 본 세션에서는 고속 데이터변환기 구현을 위해 continuous-time pipeline, time-to-digital converter, high-speed channels, massive interleaving 등 다양한 기법들이 제안되었고 각 논문들의 핵심 내용은 다음과 같다.

Session 22 : High-Speed Analog-to-Digital Converters

#22.1 마카오 대학에서 Direct RF sampling을 위한 고속 ADC로서 4개의 채널을 가지는 12GS/s 12-bit Time-interleaved (TI) pipelined ADC를 제안하였다. 본 논문에서는 TI 구조를 구성하는 channel의 개수를 줄여 calibration burden을 줄이고자 하나의 channel을 3GS/s의 높은 속도로 구동시키고 이를 4-channel을 이용함으로써 12G/S의 속도를 구현하였다. 또한, local dither 기반의 TI calibration 기법이 routing mismatch와 local capacitance mismatch에 의해 제약이 있는 것을 극복하고자 global dither injection 기반 calibration (CCTI)를 제안하였다. 이 구조 및 기법을 통해 해당 회로는 28 nm 공정에서 설계되어 12 GHz의 샘플링 주파수에 대해 Nyquist 입력 기준 54.1 dB의 SNDR, 66.0dB의 SFDR 및 179.8mW의 높은 전력효율을 달성하였다.

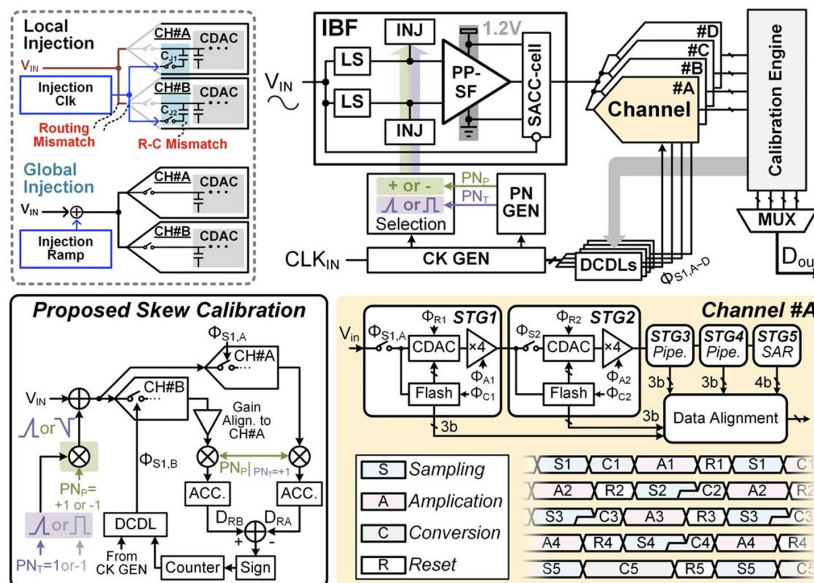


그림 1. 논문 22.1에서 제안하는 ADC 구조 및 Skew calibration 기법

#22.2 아날로그 디바이스에서 고성능 측정 또는 통신 기기를 위한 continuous-time pipeline (CTP) 구조의 ADC를 제안하였다. 본 연구에서는 저항성 input impedance 및 inherent anti-aliasing filter의 장점을 이용하고자 CT 구조를 채택하였고 총 3-stage로 구현하여 마지막 stage는 VCO 기반 ADC를 사용하였다. HD3 성분을 가장 크게 유발하는 1st stage sub-DAC의 error를 보정하기 위한 기법도 제안하였는데 reference DAC(UE_{ref})과의 error 기존에는 static error만을 보정했던 것과는 달리 timing error까지 보정할 수 있는 coverage를 제공하였다. 이는 두 개의 sub-DAC (UE_i , UE_{ref})에 dither를 반대 sign으로 인가하였을 때 이상적인 경우라면 서로 cancel되어 주입되는 dither가 없지만 mismatch가 발생했을때는 그 error가 dither와 결합되어 주입이 되므로 이를 cross-correlation function을 이용하여 그 error의 양을 예측할 수 있다. 본 기법들이 결합되어 해당 회로는 16 nm FinFET 공정에서 설계되어 6.4 GHz의 샘플링 주파수에 대해 700MHz BW를 확보하였고 71 dB의 SNDR 및 703mW의 전력소모를 달성하였다.

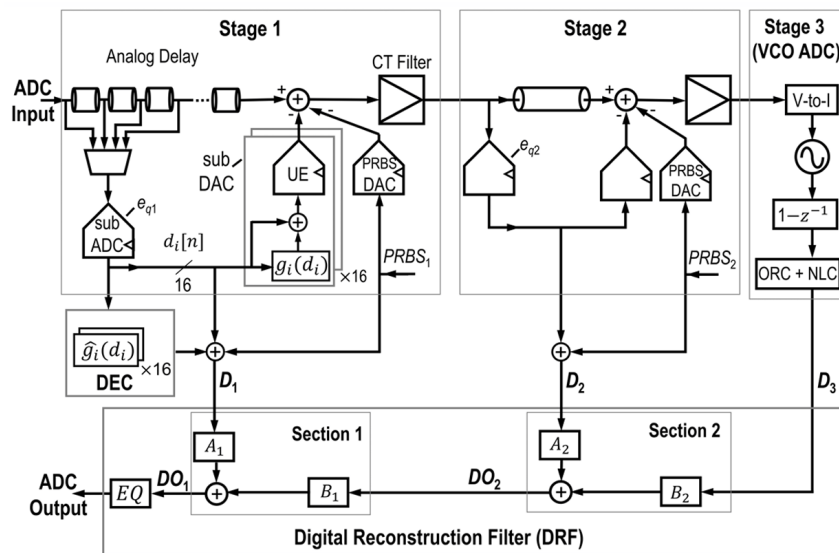


그림 2. 논문 22.2에서 제안하는 CTP ADC 구조

#22.3 인텔에서 고속 유선 통신을 위한 40GS/s 수준의 ADC 구조 연구를 제안하였다. Voltage domain ADC의 속도 제약, time domain ADC의 PVT variation, device mismatch는 TI ADC의 채널 수를 늘리거나 calibration의 부담이 급격히 늘어나는 구조로 본 연구에서는 TI ADC를 구성하는 각 채널의 구조에 대해서 time domain과 voltage domain 모두 사용하는 Hybrid Voltage/Time-domain ADC 구조를 채택하였다. 기존 연구를 참고하여 V-T conversion과 T-V conversion을 match 시켜 domain 전환 시 발생하는 gain mismatch를 제거하여 PVT variation에 대한 robustness를 확보하였다. 또한, VTC의 PVT 안정성 확보를 위해서 이용한 common-mode input tracking 기법을 도입하였다. 본 기법은 replica inverter의 threshold voltage와 signal common level voltage를 match시키는 VTC 내 inverter stage의 supply voltage를 생성하여 공급해준다. 위의 기법들을 이용하여 해당 회로는 22 nm FinFET 공정에서 설계되어 40 GHz의 샘플링 주파수에 대해 32.3 dB의 SNDR 및 71.0 dB의 SFDR을 달성하였다.

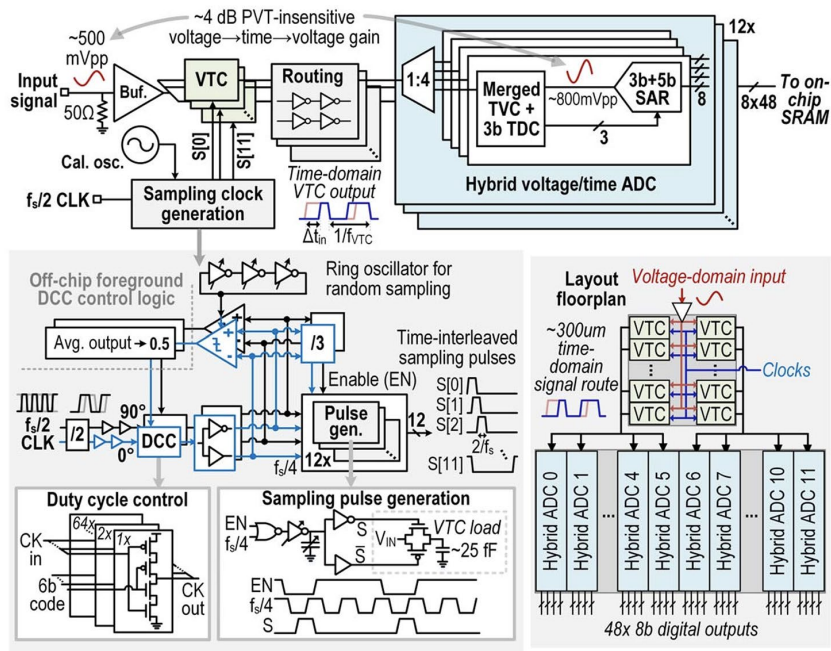


그림 3. 논문 22.3에서 제안하는 Hybrid Voltage/Time-domain ADC 구조 및 레이아웃 배치도

#22.4 칭화 대학교에서 background calibration 기법이 적용된 광대역 ADC를 제안하였다. Ping-pong 구조를 이용해 1.2GS/s 수준의 고속 sub-channel ADC를 구현하였고, 2개의 comparator의 offset mismatch calibration을 위해 bit-distribution 기반 offset calibration 기법을 제안하였다. 각 Comparator offset에 의해 서로 다른 residue profile이 형성되고 이로 인해 각 comparator의 출력에서 0(또는 1)이 출력될 확률이 달라지게 되고 이 정보를 이용하여 두 comparator의 offset을 보정할 수 있다. 또한, TI mismatch calibration을 위해 dither injection을 수행할 때 기존 input buffer에서의 주입이 아닌 input buffer의 replica를 통한 주입을 통해 kickback과 ISI 현상을 줄였다. 위 기법을 통해 해당 회로는 28 nm CMOS 공정에서 설계되어 4.8 GHz의 샘플링 주파수에 대해 44.3 dB의 SNDR 및 58.2 dB의 SFDR을 Core 기준 7.7mW의 전력 소모(12.0fj/c.s.)으로 구현하였다.

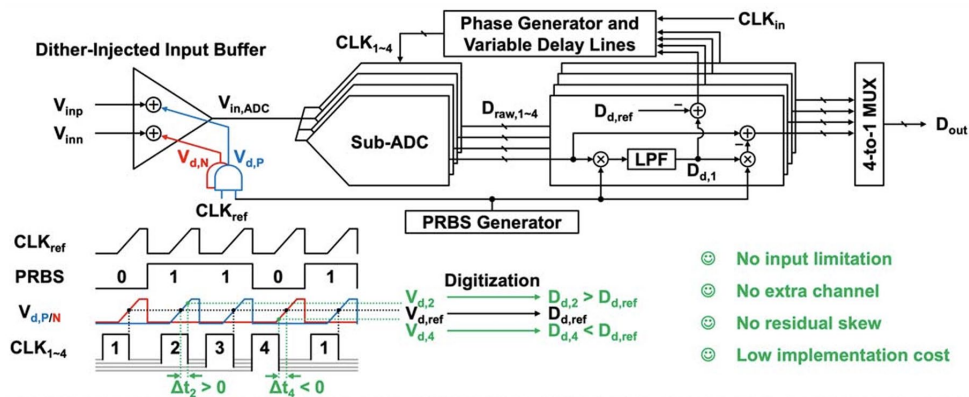


그림 4. 논문 22.4에서 제안하는 TI ADC 구조

저자정보



서민재 교수

- 소 속 : 서울시립대학교 첨단융합학부 지능형반도체전공
 - 연구분야 : Data converter
 - 이 메 일 : mjseo@uos.ac.kr
 - 홈페이지 : <https://sites.google.com/view/mcaslab/>
-